

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-188683
(P2003-188683A)

(43)公開日 平成15年7月4日(2003.7.4)

(51)Int.Cl.⁷
H 03 H 11/04
G 11 B 20/10
H 03 L 7/081

識別記号
3 2 1

F I
H 03 H 11/04
G 11 B 20/10
H 03 L 7/08

テマコード*(参考)
H 5 D 0 4 4
3 2 1 A 5 J 0 9 8
J 5 J 1 0 6

審査請求 未請求 請求項の数7 O.L (全11頁)

(21)出願番号 特願2001-385478(P2001-385478)

(22)出願日 平成13年12月19日(2001.12.19)

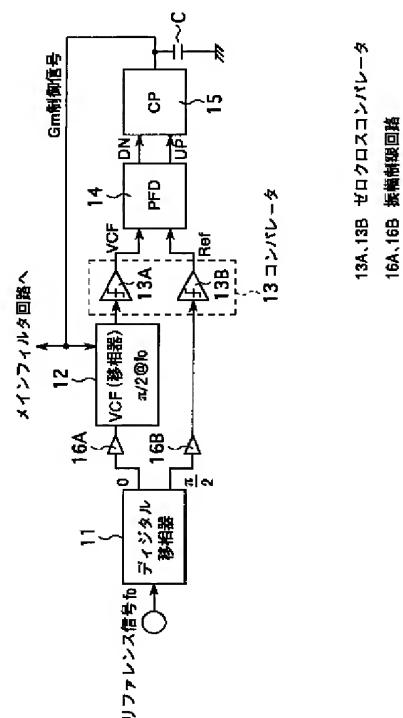
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 長谷川 恭正
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74)代理人 100086298
弁理士 船橋 國則

(54)【発明の名称】 アナログフィルタ回路およびこれを用いたディスク装置

(57)【要約】

【課題】 マスターとなるVCFのフィルタ次数を上げること無く、簡単な方法でチューニング精度の高い周波数チューニング回路が要望されている。

【解決手段】 リファレンス信号 f_0 を先ず前置ディジタル移相器11に通すことで、所望の位相差(本例では、 $\pi/2$)の関係にある2系統のクロック信号を生成し、その一方をマスターVCF12を経由させ、ゼロクロスコンパレータ13Aを介してPFD14に、その他の方をマスターVCF12を経由せずにゼロクロスコンパレータ13Bを介してPFD14にそれぞれ入力することで、PFD14の入力における2系統のクロック信号の位相をインフェーズにする。



【特許請求の範囲】

【請求項1】 連続時間アナログフィルタ回路の特性周波数を設定するためのチューニング回路を具備し、前記チューニング回路は、基準クロック信号に基づいて第1，第2のクロック信号を出力するディジタル移相手段と、前記第1のクロック信号を移相するアナログ移相手段と、前記アナログ移相手段を経由した前記第1のクロック信号と前記アナログ移相手段を経由しない前記第2のクロック信号との位相を比較し、その位相差に応じた位相誤差信号を出力する位相比較手段と、前記位相比較手段から出力される前記位相誤差信号に応じて前記アナログ位相手段の特性周波数を制御する制御手段とを備え、前記ディジタル移相手段は、前記第1のクロック信号に対して前記第2のクロック信号に、前記アナログ移相手段の特性周波数における位相遅延量とほぼ同じ位相差を持たせることを特徴とするアナログフィルタ回路。

【請求項2】 前記ディジタル位相手段は、第1の基準クロック信号をクロック入力とし、その反転出力をデータ入力とする第1のDフリップフロップと、前記第1のDフリップフロップの出力を第1の入力とし、前記第1の基準クロックに対する遅延関係にある第2の基準クロック信号を第2の入力とする第1のANDゲートと、前記第1のDフリップフロップの反転出力を第1の入力とし、前記第2の基準クロック信号を第2の入力とする第2のANDゲートと、前記第1のANDゲートの出力をクロック入力とし、その反転出力をデータ入力とする第2のDフリップフロップと、前記第2のANDゲートの出力をクロック入力とし、その反転出力をデータ入力とし、前記第2のDフリップフロップの出力を同期セット入力とする第3のDフリップフロップとを有し、前記第2のDフリップフロップの出力を位相0のクロック信号として、前記第3のDフリップフロップの出力を位相 $\pi/2$ のクロック信号としてそれぞれ導出することを特徴とする請求項1記載のアナログフィルタ回路。

【請求項3】 前記ディジタル移相手段は、差動遅延セルをリング状に繋いで構成してなるリングオシレータの多相出力端子のうちの2つから、位相0のクロック信号と位相 $\pi/2$ のクロック信号とをそれぞれ導出することを特徴とする請求項1記載のアナログフィルタ回路。

【請求項4】 前記制御手段は、チャージポンプ回路で構成されていることを特徴とする請求項1記載のアナログフィルタ回路。

【請求項5】 前記連続時間アナログフィルタと前記アナログ移相器は、トランスコンダクタンスによって構成されており、前記制御手段は、前記連続時間アナログフィルタおよび前記アナログ移相器のトランスコンダクタンス値を制御

することを特徴とする請求項1記載のアナログフィルタ回路。

【請求項6】 前記位相比較手段は、被比較信号をクロック入力とし、論理ハイレベルをデータ入力とする第1のDフリップフロップと、比較基準信号をクロック入力とし、論理ハイレベルをデータ入力とする第2のDフリップフロップと、前記第1，第2のDフリップフロップの各出力とともに、前記被比較信号および前記比較基準信号を入力とし、そのゲート出力を前記第1，第2のDフリップフロップの各非同期リセット入力とするANDゲートとを有し、前記第1，第2のDフリップフロップの各出力を比較結果信号として導出することを特徴とする請求項1記載のアナログフィルタ回路。

【請求項7】 ディスクから記録情報を読み取るヘッド部と、前記ヘッド部から出力される再生信号の高域周波数成分のゲイン強調を行う等化フィルタ回路と、前記等化フィルタ回路の特性周波数を設定するためのチューニング回路とを具備し、前記チューニング回路は、

20 リファレンス信号に基づいて第1，第2のクロック信号を出力するディジタル移相手段と、前記第1のクロック信号を移相するアナログ移相手段と、

前記アナログ移相手段を経由した前記第1のクロック信号と前記アナログ移相手段を経由しない前記第2のクロック信号との位相を比較し、その位相差に応じた位相誤差信号を出力する位相比較手段と、前記位相比較手段から出力される前記位相誤差信号に応じて前記アナログ位相手段の特性周波数を制御する制御手段とを備え、

前記ディジタル移相手段は、前記第1のクロック信号に対して前記第2のクロック信号に、前記アナログ移相手段の特性周波数における位相遅延量とほぼ同じ位相差を持たせることを特徴とするディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログフィルタ回路およびこれを用いたディスク装置に関し、特に素子ばらつきや素子の温度特性に起因するフィルタ特性値の変動を抑えるための周波数チューニング回路を具备するアナログフィルタ回路およびこれをディジタル記録データ再生系の等化フィルタ回路として用いたディスク装置に関する。

【0002】

【従来の技術】従来より、主に能動素子を用いたアナログ集積化フィルタ回路として、SCF(Switched-Capacitor Filter)に代表される離散時間フィルタ回路と、トランスコンダクタンス-C(Gm-C)フィルタに代表される連続時間フィルタ回路とが広く応用されている。

【0003】離散時間アナログフィルタ回路は、クロッ

クによるサンプリング動作がその基本であり、その特性周波数がばらつき、変動の極めて小さい基準クロック周波数と、さらにマッチングが良好なキャパシタンス素子値同士の比で決まるため、結果として、精度の高いフィルタ特性周波数が容易に得られるという利点がある。その一方で、サンプリング動作に起因するエイリアシングを防止するための前置フィルタ回路が不可欠なことや、クロックサイクル内での回路セトリングを達成するため広帯域の演算増幅器が必要であるため、特に高周波フィルタ回路では消費電力が増大する傾向にあるといった欠点がある。

【0004】これに対して、連続時間フィルタ回路はGm-Cフィルタのようにオープンループ動作を基本とし、演算増幅器を使わない構成が可能で高速化に適しており、エイリアシングの問題も当然無い。このため、特に高速フィルタ回路への用途にはGm-CフィルタやMOSFET-Cフィルタなど、あるいはそれらから派生した一連の連続時間フィルタ回路が適していると言える。

【0005】しかしながら、これらの連続時間フィルタ回路はその特性周波数を決める基本パラメータが例えば g_m/C であり、通常の製造プロセスにおいてはトランスコンダクタンス g_m 、キャパシタンスC共にばらつき幅が大きく、しかもこれらは相関無くばらつく結果、フィルタ特性周波数のばらつき、変動幅は±30%程度にもなる。多くのフィルタアプリケーションでは、この変動幅は許容範囲を超えており、したがって、何らかのフィルタ特性周波数の自動チューニング回路を具備することが不可欠となる。

【0006】このような要求から、初めて外部調整機構を必要としない自動チューニング回路がK.S.TanおよびP.R.Grayによって提案された。すなわち、“Fully Integrated Analog Filters Using Bipolar-JFET Technology,” IEEE JSSC, Dec., 1978において、VCO(Voltage-Controlled Oscillator)を含むPLL(Phase-Locked Loop)回路によるマスター/スレーブ型の自動周波数チューニング回路が紹介されている。

【0007】図10に、VCOを含むPLL回路によるマスター/スレーブ型の自動周波数チューニング回路の構成を示す。カットオフ周波数などのフィルタ特性周波数を所望の値にチューニングしたいメインフィルタ回路(スレーブ)101は、その特性周波数を決めるパラメータ(ここではGm)をマスターVCO102と共に制御される。マスターVCO102は、メインフィルタ回路101を構成する積分器とその周波数特性が比例関係にあり、図示のようにGm制御信号によってその発振周波数が決まる。

【0008】さらに、マスターVCO102は、位相周波数比較器(PFD; Phase/Frequency Detector)103およびローパスフィルタ(LPF)104と共にPLL

L回路を構成している。このPLL回路は、マスターVCO102の発振周波数をリファレンス信号周波数に合致させるべく、マスターVCO102の特性周波数を決めるパラメータを制御するフィードバックループを形成している。

【0009】かかる構成の周波数チューニング回路は、半導体素子上のパラメータが、絶対値精度は低いが素子間マッチング精度は非常に高いことを利用している。結局、スレーブとなるメインフィルタ回路101の特性周波数は、PLL回路のリファレンス信号周波数を精度良くトラックすることになる。

【0010】以上説明したTan/Gray方式は、精度良くフィルタ回路の特性周波数を自動調整できるという優れたチューニング方式である。その一方で、実用上の課題として以下の点が挙げられる。

【0011】例えば、Gm-C積分器を構成要素とするメインフィルタ回路101およびマスターVCO102の場合、先ずメインフィルタ回路101は、システムとして許容される歪み特性を満たせるダイナミックレンジ以下にそのフィルタ入力信号振幅が制限される。しかしながら、マスターとなるVCO102は自走発振であるため、その振幅はVCO102の回路ゲインと帯域で決まり、通常、歪んだ状態で発振が維持される。

【0012】結果として、大振幅動作時の平均Gmは、動作点での小信号的な(歪まない場合の)Gmより遙かに小さくなり、マスターVCO102の等価Gm値とメインフィルタ回路101のGm値がかい離してしまう。具体的には、PLL回路ではマスターVCO102の等価的に低下した平均Gmで所望の発振周波数となるよう

Gm制御信号が得られるため、この同一のGm制御信号が供給されるメインフィルタ回路101の特性周波数は所望値よりも遙かに高い値となってしまう。

【0013】このため、上述したマスターVCOおよびPLL回路からなる周波数チューニング回路においては、何らかのVCO発振振幅制限機構、即ち波形を歪ませないで自走発振させる機構が不可欠であり、実回路設計上、このことが大きな足かせとなっている。

【0014】このような問題が無い方式として、H.KhorramabadiおよびP.R.Grayは、“High-Frequency CMOS Continuous-Time Filters,” IEEE JSSC, Dec., 1984において、VCF(Voltage-Controlled Filter)を含むDLL(Delay-Locked Loop)回路によるマスター/スレーブ型の自動周波数チューニング回路を提案している。

【0015】図11に、VCFを含むDLL回路によるマスター/スレーブ型の自動周波数チューニング回路の構成を示す。Tan/Gray方式と同様に、カットオフ周波数などのフィルタ特性周波数を所望の値にチューニングしたいメインフィルタ回路(スレーブ)111は、その特性周波数を決めるパラメータ(ここではGm)をマスターVCF(Voltage-Controlled Filter)112と共に

制御される。Tan/Gray方式との違いは、マスター側がVCOではなく、VCFである点である。

【0016】VCF112自体もメインフィルタ回路111と同様に例えば積分器で構成されるフィルタ回路である。このVCF112は、位相比較器(PD)113およびローパスフィルタ114と共にDLL回路を構成している。すなわち、図11の回路例では、Gm制御信号による制御により、VCF112の特性周波数、例えば当該VCFがローパスフィルタの構成となっている場合はその極周波数が変化する。

【0017】マスターVCF112には、既知の單一周波数のリファレンス信号が入力される。次段の位相比較器113は、VCF112の入力信号と出力信号との位相を比較し、その位相差に応じた位相誤差信号を出力する。この位相誤差信号は、ローパスフィルタ114を通過した後、Gm制御信号としてマスターVCF112およびメインフィルタ回路111の特性周波数を決定する。

【0018】一例として、マスターVCF112がバイクワッド(Biquad)構成である場合で説明すると、その位相特性は図12に示すように、低域では位相遅れが0に漸近し、極周波数 f_0 で位相が $\pi/2$ 遅れ、高域で位相遅れが π に漸近する特性となる。

【0019】したがって、リファレンス周波数を f_0 とすると、位相比較器113の入力信号位相差がちょうど $\pi/2$ になるべくフィードバックループを構成することで、マスターVCF112の極周波数を f_0 に、さらにマスターVCF112と同一のGm制御信号を供給されるメインフィルタ回路111の特性周波数もリファレンス周波数 f_0 にトラックすることになる。

【0020】図11の構成から明らかなように、この方式の優れた点は、VCOを使わないため、歪み回避のための振幅制御の問題が大きく緩和されることである。すなわち、VCOの代わりにVCFを使用するため、その入力信号であるリファレンス信号 f_0 の振幅を予め制限しておけば良い。

【0021】この方式の実用性能を考える上で重要なのは、Tan/GrayによるVCOを含むPLL方式が周波数比較であり、その結果、VCO発振クロックとリファレンス信号との位相関係はチューニング精度に影響を及ぼさないため、位相関係には特に注意を払う必要がないのに対して、Khorramabadi/GrayによるVCFを含むDLL方式は位相比較であり、位相誤差を引き起こす位相比較器のオフセットなどが直接チューニング精度に影響する点である。このことについては、後で詳細に説明する。

【0022】図11の構成における位相比較器の例として、例えばV.Gopinathan, Y.P.Tsividis, K.S.TanおよびR.K.Hesterの“Design Considerations for High-Frequency Continuous-Time Filters and Implementation of an Antialiasing Filter for Digital Video,” IEEE

JSSC, Dec., 1990 に示されるような単純なXOR(排他的論理和)ゲートを使用できる。図13にGopinathan等によるXORゲートを位相比較器として用いた周波数チューニング回路の回路例を、図14にXOR一位相比較器(以下、XOR-PDと記す)の入出力特性を示す。

【0023】XOR-PDが適している理由は、図14から分かるように、その入力位相差が $\pi/2$ のときに出力される誤差信号がゼロになることである。このため、

10 VCF121として、図12に示すように、極周波数で位相が $\pi/2$ 遅れるフィルタを使用し、これを通過した信号と、バイパスされて位相遅れが0の信号とをそのままの位相関係でXOR-PD122に入力することができる。XOR-PD122から出力される位相誤差信号は、ローパスフィルタ123を通過した後、Gm制御信号としてマスターVCF121およびメインフィルタ回路の特性周波数を決定する。

【0024】なお、XOR-PD122は、ディジタル論理レベルの波形振幅で動作する。そのため、XOR-PD122の前段にゼロクロスコンバレータ124A, 124Bを設置し、アナログ小振幅信号をディジタル論理レベルに変換した後、XOR-PD122に入力するようしている。

【0025】このようなXOR-PD122を用いた構成の周波数チューニング回路は、何より簡便だという利点を持っている。その一方で、周波数チューニング精度と言う点で実用上の問題を抱えている。すなわち、先述したように、VCFを含むDLL方式は位相比較であり、位相ロックの精度が直接チューニング精度に影響する。XOR-PD122はその出力クロックのDC成分、言い換えればクロックデューティが位相誤差信号となる。このため、立ち上がり、立ち下がり時間の対称性が要求されるが、一般にこれを精度良く管理することは困難である。

【0026】また、図13の周波数チューニング回路はそのフィードバックループのDCゲインが有限である。すなわち、XOR-PD122の入力に定的な位相差(即ち、DC入力に相当)がある場合、フィードバックループは一定の入力位相誤差を残したまま安定してしまう。この結果、位相比較精度、ひいては周波数チューニング精度を上げることが困難となる。

【0027】【発明が解決しようとする課題】上記のような位相比較精度、フィードバックループのDCゲインに起因するチューニング精度低下を解消できる有力な手法として、3値(UP, DOWN, HI-Z)PFDとチャージポンプ回路を使った積分器によって構成されるチャージポンプDLL回路が考えられる。

【0028】図15に、このチャージポンプDLL回路を用いた周波数チューニング回路の構成を示す。なお、

図15において、図13と同等部分には同一符号を付して示している。また、構成要素である位相誤差の少ない3値PFDとしては、図16に示すように、Dフリップフロップ131, 132およびANDゲート133からなる構成のものが、高性能であるため広く使われている。図17に、図16の3値PFDの入出力特性を示す。

【0029】チャージポンプ回路126は、PFD125から出力される位相誤差信号に応じた出力電流でキャパシタスCを充放電することによって位相誤差信号を積分していく。したがって、PFD125の入力に僅かでも定常的な位相差がある場合、(原理的には)その位相誤差は無限に積分される。これはすなわち、フィードバックループのDCゲインが無限大であることを意味し、チャージポンプ回路126を使わないループ構成には無い大きな利点である。したがって、位相比較精度、ひいては周波数チューニング精度を上げるのに適している。

【0030】このような利点を持つチャージポンプDLL回路と組み合わせると最適なのが図16に示した3値PFDであることは既に述べたが、図17の入出力特性より明らかに、このPFD125は、先ほどのXOR-PFD122とは違い、その入力位相差が0のときに出力される誤差信号がゼロになる。したがって、先述したように、図12に示すような位相特性、即ちその極周波数で位相遅れが $\pi/2$ となるフィルタをマスターVCF121に用いる場合、マスターVCF121をバイパスされたリファレンス信号Refについてもその位相を $\pi/2$ 遅らせる必要がある。そのため、図15に示すように、ディジタル移相器127をバイパス経路中に設ける必要があった。

【0031】以上説明したことから明らかなように、バイパス経路のリファレンス信号Refは正確に固定の位相遅れを(上記の例では、 $\pi/2$)持たせる必要がある。つまり、ディジタル移相器127は正確な遅延時間を持つディレイラインである必要がある。しかしながら、これを簡易な方法で実現するのは大変困難であり、結果として、位相比較精度の高い3値PFDとチャージポンプDLLを採用しながらも、良好な位相ロック精度が得られず、ひいては周波数チューニング精度が向上しないと言う問題を抱えている。

【0032】また、この問題に対する考え方の解決策として、例えばマスターVCF121として極周波数での位相遅れが 2π となるような構成にするとか、一般的にフィルタが差動構成であることを念頭に、マスターVCF121の極周波数での位相遅れが π で、その入出力の正相・逆相端子を反転させるなどしてディジタル移相器127を不要にするとか、さらにはマスターVCF121をバイパス側にも持たせ、一方を位相進み、他方を位相遅れとなるようにしてPFD入力での位相をインフェ

ーズにするなどの方法も考えられる。しかしながら、いずれもマスターVCF121のトータルフィルタ次数を上げる必要があり、周波数チューニング回路の消費電力、回路規模を増大させてしまうという問題がある。

【0033】そこで、本発明は、アクティブフィルタ回路、特にGm-CフィルタやMOSFET-Cフィルタに代表されるプログラマブルフィルタ回路の周波数チューニングにおいて、マスターとなるVCFのフィルタ次数を上げること無く、簡単な方法でチューニング精度の高い周波数チューニング回路を具備するアナログフィルタ回路およびこれを用いたディスク装置を提供することを目的とする。

【0034】

【課題を解決するための手段】本発明によるアナログフィルタ回路は、連続時間アナログフィルタ回路の特性周波数を設定するためのチューニング回路を具備し、このチューニング回路が、基準クロック信号に基づいて第1, 第2のクロック信号を出力するディジタル移相手段と、第1のクロック信号を移相するアナログ移相手段と、アナログ移相手段を経由した第1のクロック信号とアナログ移相手段を経由しない第2のクロック信号との位相を比較し、その位相差に応じた位相誤差信号を出力する位相比較手段と、この位相比較手段から出力される位相誤差信号に応じてアナログ位相手段の特性周波数を制御する制御手段とを備え、第1のクロック信号に対して第2のクロック信号に、アナログ移相手段の特性周波数における位相遅延量とほぼ同じ位相差を持たせる構成となっている。このチューニング回路を具備するアナログフィルタ回路は、ディスク装置において、例えば、高密度磁気記録データの再生信号処理、即ちリードチャネルの主要素である連続時間等化フィルタ回路として用いられる。

【0035】上記構成のアナログフィルタ回路またはこれを等化フィルタ回路として用いたディスク装置において、先ずディジタル移相手段では、基準クロック信号に基づいてアナログ移相手段の特性周波数における位相遅延量とほぼ同じ位相差関係にある2系統のクロック信号が生成される。そして、これら2系統のクロック信号のうちの一方がアナログ移相手段を経由して位相比較手段に、他方がアナログ移相手段を経由しないで位相比較手段にそれぞれ入力されることで、2系統のクロック信号の位相がインフェーズ(ジャスト位相)になる。その結果、良好な位相ロック精度が得られる。

【0036】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0037】図1は、連続時間アナログフィルタ回路をメインフィルタ回路とし、その特性周波数の自動チューニングに用いられる本発明の一実施形態に係る周波数チューニング回路の構成を示すブロック図である。

【0038】本実施形態に係る周波数チューニング回路は、前置ディジタル移相器11、アナログ移相器12、このアナログ移相器12と共にDLL回路を形成するコンパレータ13、位相比較器14およびGm制御信号発生回路15を基本的な構成要素として有し、メインフィルタ回路(スレーブ)に対してその素子ばらつきや素子の温度特性に起因するフィルタ特性値の変動を抑えるために、メインフィルタ回路の特性周波数をDLL内の移相器として動作するマスターフィルタ回路であるアナログ移相器12で自動的に周波数チューニングする構成となっている。

【0039】本周波数チューニング回路において、前置ディジタル移相器11にはリファレンス信号 f_0 が入力される。このリファレンス信号 f_0 は、例えば水晶発振子あるいはそれを元に分周・通倍することによって得られた既知の周波数信号で、ディジタル論理レベル信号、即ちクロック信号である。前置ディジタル移相器11は、入力されるリファレンス信号 f_0 を所望の固定位相差関係(本例では、0と $\pi/2$)にある2系統のクロック信号に分ける。前置ディジタル移相器11の具体的な構成例については後述する。

【0040】前置ディジタル移相器11から出力される2つのクロック信号は、先ず同一構成の振幅制限回路16A, 16Bにそれぞれ入力される。振幅制限回路16A, 16Bは、2つのクロック信号を次段のアナログ移相器12の入力ダイナミックレンジ、即ちシステム要求で決まる歪み性能を満足できるような入力信号振幅以内に制限する。これら振幅制限回路16A, 16Bは、従来技術の冒頭で説明したように、歪みによる等価Gmの低下とそれによるマスターフィルタ回路(アナログ移相器12)とメインフィルタ回路(スレーブ)のGmマッチングのずれを防ぎ、チューニング精度を上げるために設置されている。

【0041】また、通常、フィルタ回路は差動構成することによって電源除去比の向上、信号振幅の増大によるS/Nの向上を図るが、本周波数チューニング回路の場合は、振幅制限回路16A, 16Bがシングル→差動変換機能を併せ持っている。なお、一般的には、振幅制限回路16A, 16B以降も方形波で構わない。これは、方形波の高調波成分がマスターフィルタ回路の帯域外となるべくフィルタ回路を構成することで可能となる。そうでない場合は、マスターフィルタ回路の入力信号が高調波の無い基本のみによって構成されるように予め帯域制限がかけられる。

【0042】振幅制限回路16A, 16Bで振幅制限された2系統の信号は、必要に応じて設置される差動変換回路や帯域制限回路などを等しく通過した後、その一方がアナログ移相器12を経由してコンパレータ13に入力され、他方がアナログ移相器12を経由せずにそのままコンパレータ13に入力される。アナログ移相器12

としては、VCFが用いられている(以下、VCF12と記す)。

【0043】コンパレータ13は、2個のゼロクロスコンパレータ13A, 13Bによって構成されており、入力される2系統の信号をそれぞれ再びディジタル論理レベル信号(クロック信号)に変換する。ここで、VCF12を経由しないバイパス経路については、振幅制限回路16Bや、また必要に応じて付加される帯域制限回路(図示せず)は、VCF12以外による2系統間の位相差を無くすために設置されるのであり、必要とされる位相精度の要求程度によっては省略することも可能である。

【0044】コンパレータ13を経由した2系統の信号は、続く位相比較器、例えばPFD14に入力される。具体的には、VCF12を経由した信号(以下、VCF信号と記す)はPFD14に被比較信号として入力され、VCF12を経由しない信号(以下、Ref信号と記す)はPFD14に比較基準信号として入力される。ここからは良く知られたチャージポンプPLLの動作に従い、位相誤差がループフィルタ(キャパシタC)によって積分され、マスターフィルタ回路であるVCF12とスレーブフィルタ回路であるメインフィルタ回路(図示せず)の特性周波数を決めるGm制御信号が得られる。

【0045】すなわち、PFD14からは、2系統の信号(VCF信号およびRef信号)の位相の誤差に応じて3値(UP, DOWN, HiZ(ハイインピーダンス))をとる位相誤差信号がOutputされる。この位相誤差信号はGm制御信号発生回路15に入力される。Gm制御信号発生回路15としては、チャージポンプ(CP)回路が用いられている。このチャージポンプ回路の出力端とグランドとの間にはキャパシタCが接続されてループフィルタを形成している。

【0046】以上により、チャージポンプPLLが構成されている。そして、このチャージポンプPLLの動作により、2系統の信号、即ちVCF信号およびRef信号の位相誤差に応じたGm制御信号が生成される。このGm制御信号は、マスターフィルタ回路であるVCF12およびスレーブフィルタ回路であるメインフィルタ回路にそれぞれ供給される。

【0047】上記構成の本実施形態に係る周波数チューニング回路においては、前置ディジタル移相器11の作用により、バイパス経路側、即ちVCF12を経由しない経路側のRef信号の位相が、VCF12を経由する経路側のVCF信号に対してあらかじめ $\pi/2$ だけ遅れている。ここで、マスターフィルタ回路であるVCF12の位相特性が、図12に示すように極周波数で $\pi/2$ の位相遅れとなるとすると、Gm制御信号による制御の下に極周波数が f_0 となったところでPFD14の入力位相差がゼロとなる。

11

【0048】図17に示す入出力特性から分かる通り、位相比較精度が高く、チューニンググループには好適な3値PFD14は、このとき出力がゼロとなる。これにより、チューニンググループはロック状態となる。例えば、極周波数が f_0 よりも小さい場合は、図12に示すように、VCF12での f_0 周波数成分信号は $\pi/2$ 以上の位相遅れとなり、PFD14からはUP信号が出力され、極周波数が高くなる方向のフィードバックが掛かる。逆の場合も同様に正しいフィードバック制御が行なわれる。

【0049】従来例と比較すると、上記構成の本実施形態に係る周波数チューニング回路の特徴は、リファレンス信号 f_0 を先ず前置ディジタル移相器11に通すこと、所望の位相差（本例では、 $\pi/2$ ）の関係にある2系統のクロック信号を生成することにある。そして、従来から知られた3値PFDを含むチャージポンプDLLの構成を探ることで、以降のブロックでは精度の高い位相比較が可能となる。したがって、前置ディジタル移相器11の位相精度が周波数チューニング精度を決めるところとなる。

【0050】続いて、前置ディジタル移相器11の構成および動作について説明する。前置ディジタル移相器11の構成例を図2に、その動作説明のためのタイミングチャートを図3にそれぞれ示す。なお、図3において、波形A～Eは、図2の各部A～Eの信号波形をそれぞれ示している。

【0051】本例に係る前置ディジタル移相器11は、3個のDフリップフロップ（以下、D-FFと記す）21～23、2個のANDゲート24、25および4個のインバータ26～29からなる構成となっている。この前置ディジタル移相器11においては、元になるクロック信号として、周波数4 f_0 のクロック信号Aと、これに対してゲート遅延マージン確保のために遅延させたクロック信号Adとを使用する。

【0052】クロック信号AはD-FF21のクロック入力になる。D-FF21のQ出力は、インバータ26で反転されて自身のD（データ）入力になるとともに、ANDゲート24の一方の入力に、さらにインバータ27で反転されてANDゲート25の一方の入力になる。ANDゲート24、25は共に、クロック信号Adを他方の入力としている。ANDゲート24、25の各出力B、Cは、D-FF22、23の各クロック入力になる。

【0053】D-FF22のQ出力は、インバータ28で反転されて自身のD入力、さらにD-FF23の同期セット入力になるとともに、周波数 f_0 で位相0のクロック信号Dとして導出される。D-FF23のQ出力は、インバータ29で反転されて自身のD入力になるとともに、周波数 f_0 で位相 $\pi/2$ のクロック信号Eとして導出される。すなわち、D-FF22、23からそれ

12

ぞれ導出される各クロック信号D、Eは、周波数 f_0 で $\pi/2$ の位相差を持つクロック信号となる。

【0054】上記構成の前置ディジタル移相器11において重要な点は、出力として得られる周波数 f_0 の2系統のクロック信号D、Eの位相差が、周波数4 f_0 のクロック信号Adの周期として正確に決まる点である。ちなみに、クロック信号Aからクロック信号Adへの遅延は、以降のフリップフロップあるいは論理ゲートの遅延を考慮したタイミングマージンを確保しているだけなので、簡単なゲート遅延で実現しても良い。

【0055】ところで、実設計においては多くの場合、リングオシレータVCOを使ったPLL回路から、元になるクロックを生成することが多い。この場合は、多相VCOの相間位相差によって直接、固定位相差を持つクロック信号を生成できる。これを用いた前置ディジタル移相器11の別の構成例を図4に示す。

【0056】本例に係る前置ディジタル移相器11は、例えば4段の差動遅延セル31～34が逆相で縦接続され、最終段の差動遅延セル34の出力を同相で初段の差動遅延セル31に戻す構成のリングオシレータVCOを利用し、初段の差動遅延セル31の差動出力および3段目の差動遅延セル33の差動出力を、差動シングル変換用のコンバレータ35、36を通してにより、周波数 f_0 で位相差が $\pi/2$ となる2系統のクロック信号、図3におけるクロック信号D、Eを得る構成となっている。

【0057】この他の構成例に係る前置ディジタル移相器11においては、リングオシレータのサイクリック性によって、VCOを構成する遅延セル31～34のマッチング精度で決まる高精度の固定位相差を持つ2系統のクロック信号を生成することが出来る。

【0058】PFD14としては、図16に既に示した3値PFDが位相精度の点からも適している。ただし、VCF12を含むチャージポンプDLLに使用するには不都合な点がある。以下に、この不都合な点と、それを解消するための3値PFDの構成について説明する。

【0059】図5に、従来例に係る3値PFDが正しい動作をしているとき（正しい動作シーケンスのとき）の各部の波形を示している。メインVCFの極周波数が f_0 よりも高く、周波数 f_0 のVCF通過信号はその位相遅れがロック点の $\pi/2$ 以下であり、PFD入力ではリファレンスRFに対して、フィルタ通過信号VCFが位相進みの関係にある。この結果、PFDはDN(DOWN)信号を出し、メインVCFの極周波数を下げるようネガティブフィードバックが掛かる。

【0060】ところが、図6に示すように、何らかの理由、例えば電源立ち上げ時の初期状態、あるいは外乱ノイズなどによって初期シーケンスがずれると正反対の動作となり、上記の例で言うと、メインVCFの極周波数が f_0 よりも高いにもかかわらず、さらに極周波数を上

13

げるようにいわばポジティブフィードバックが掛かることになる。

【0061】VCO-PLLに使う場合や、位相可変幅が少なくとも $\pi/2$ 以上あるDLLの場合は、従来のPFDでもまるまる1周期逆方向に動いた後、正しいシーケンスに復帰するが、図12に示したように、一般にVCFの位相特性は遙かに狭い範囲に限られる。この結果、誤動作をしたままフィルタ回路の極周波数は設定可能な最低周波数あるいは最高周波数でデッドロック状態となってしまう。

【0062】上記のような不具合を解決するために、以下に説明する3値PFDを用いるようとする。図7に、本例に係る3値PFDの構成を示す。本例に係る3値PFDは、2個のD-FF41, 42および4入力ANDゲート43を有する構成となっている。

【0063】D-FF41は、VCF信号をクロック入力とし、論理ハイレベル(電源電圧Vdd)をD入力としている。D-FF41のQ出力は、そのままDN信号として導出されるとともに、ANDゲート43の一入力となる。D-FF42は、Ref信号をクロック入力とし、論理ハイレベルをD入力としている。D-FF42のQ出力は、そのままUP信号として導出されるとともに、ANDゲート43の他の一入力となる。ANDゲート43は、VCF信号およびRef信号を残りの2入力とし、その出力をD-FF41, 42に対して非同期リセット信号として与える。

【0064】上記構成の本例に係る3値PFDと従来例に係る3値PFDとの違いは次の点である。すなわち、従来例に係る3値PFD(図16参照)では、非同期リセット信号を生成するANDゲート43の入力としてDN信号およびUP信号のみを用い、DN信号およびUP信号が共にアクティブになったときに、D-FF131, 132が非同期リセットされる。これに対し、本例に係る3値PFDでは、非同期リセット信号を生成するANDゲート43の入力に位相比較対象となるVCF信号およびRef信号を追加した構成を探っており、DN信号およびUP信号に加え、VCF信号およびRef信号の4信号全てがアクティブになったときだけ、D-FF41, 42が非同期リセットされる。

【0065】図8に、本例に係る3値PFDの動作シーケンスを示す。この動作シーケンスから明らかなように、本例に係る3値PFDでは、誤動作モードになる初期シーケンスにおいても、必ず位相比較対象となる2つのクロック信号(VCF信号とRef信号)のうち、位相が遅れているクロック信号のエッジでリセットが行われるため、誤動作によってポジティブフィードバックが掛かることが無い。

【0066】以上の構成を探ることにより、連続時間アナログ集積化フィルタの特性周波数設定において、簡単な構成で精度の高い特性周波数の自動設定が可能になる

14

とともに、位相比較精度が高い3値PFDとチャージポンプによるDLLを採用しながら、しかも付加的位相誤差要因の極めて少ない、さらに誤動作の可能性の無い安定した周波数チューニング回路を実現出来る。

【0067】特に、マスター/スレーブ方式の特性周波数の自動チューニングにおいて、マスターフィルタ回路の入力信号振幅をメインフィルタ回路となるスレーブ側と一致させることができ、歪みによる等価トランスクンダクタンスのずれに起因する周波数設定誤差を低減できる。

【0068】また、マスターフィルタ回路の次数を不需要に増大させること無く、しかも位相比較器は最も一般的な、入力位相誤差ゼロで誤差出力がゼロとなる原点対称特性を持つものを利用してるので、広範囲の位相ロック技術成果のメリットをそのまま適用でき、結果として低消費電力で高精度のフィルタ特性周波数設定が可能となる。位相比較波形の初期位相差はディジタルクロックの周期、あるいはクロック生成PLL内のリング発振器の相間位相差といった、極めて位相精度の高い基準クロックであるので、高精度のフィルタ特性周波数設定が可能となる。

【0069】以上説明した本実施形態に係る周波数チューニング回路は、例えば、PRML方式を採用した高密度ディスク装置において、そのリードチャネルにおける再生信号処理に不可欠な高域周波数信号の選択的ゲイン強調(ブースト)機能を持つ等化フィルタ回路の周波数チューニング回路として用いられる。PRML方式を採用した高密度ディスク装置の構成の一例を図9に示す。

【0070】図9において、ディスク51は、その記録情報がヘッド部52によって読み取られる。このヘッド部52から出力される再生信号は、再生アンプ53およびAGCアンプ54を経て等化フィルタ回路55に供給される。等化フィルタ回路55では、高域周波数信号の選択的ゲイン強調(即ちブースト)処理が行われる。この等化フィルタ回路55に対して、その素子ばらつきや素子の温度特性に起因するフィルタ特性値の変動を抑えるための特性周波数の自動チューニングが周波数チューニング回路56によって行われる。

【0071】等化フィルタ回路55を経た再生信号はA/Dコンバータ57に供給される。クロックリカバリー回路58では、A/Dコンバータ57の出力信号に基づいて当該出力信号に同期したクロックの生成が行われる。その生成されたクロックは、A/Dコンバータ57に対してそのサンプリングクロックとして与えられる。

【0072】A/Dコンバータ57は、クロックリカバリー回路58から与えられるサンプリングクロックに同期して再生信号をサンプリングすることによってデジタルデータに変換する。このA/Dコンバータ57でA/D変換されたデジタルデータは、ビタビ復号器59でビタビ復号が行われ、さらに復調回路60で復調が行

10

20

30

40

50

われて出力される。

【0073】一方、記録系（書き込み系）においては、記録データ（デジタル入力系列）は変調回路61で変調が行われ、さらに書き込み補償回路62で書き込み補償が行われた後、記録ドライバ63を通してヘッド部52に供給される。そして、このヘッド部52によってディスク51に対して情報の書き込み（記録）が行われる。

【0074】上記構成の高密度ディスク装置において、等化フィルタ回路55として、例えばGm-Cバイカワードフィルタを構成要素とする7-pole 2-zero フィルタ回路が用いられる。また、この等化フィルタ回路55の特性周波数の自動チューニングを行う周波数チューニング回路56として、先述した実施形態に係る周波数チューニング回路が用いられる。この周波数チューニング回路は低消費電力で高精度のフィルタ特性周波数設定が可能であることから、当該周波数チューニング回路を用いることにより、低消費電力で、より優れた再生特性を持つディスク装置を提供できることになる。

【0075】

【発明の効果】以上説明したように、本発明によれば、基準クロック信号から所望の位相差を持つ2系統のクロック信号を生成し、その一方をアナログ移相手段を経由させて位相比較手段に、その他方をアナログ移相手段を経由させないで位相比較手段にそれぞれ入力するようにしたことにより、位相比較手段の入力における2系統のクロック信号の位相がインフェーズになり、良好な位相ロック精度が得られるため、簡便な構成で精度の高い特性周波数の自動設定が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る周波数チューニング回路の構成を示すブロック図である。

【図2】本発明に係る前置ディジタル移相器の構成例を示すブロック図である。

【図3】前置ディジタル移相器の動作説明のためのタイミングチャートである。

【図4】本発明に係る前置ディジタル移相器の別の構成

10

例を示すブロック図である。

【図5】従来例に係る3値PFDの正しい動作シーケンスを示すタイミングチャートである。

【図6】従来例に係る3値PFDの誤動作シーケンスを示すタイミングチャートである。

【図7】本発明に係る3値PFDの構成例を示すブロック図である。

【図8】本発明に係る3値PFDの動作シーケンスを示すタイミングチャートである。

【図9】PRML方式を採用した本発明に係るディスク装置の構成の一例を示すブロック図である。

【図10】従来例に係るVCOを含むPLL回路によるマスター／スレーブ型の自動周波数チューニング回路の構成を示すブロック図である。

【図11】従来例に係るVCFを含むDLL回路によるマスター／スレーブ型の自動周波数チューニング回路の構成を示すブロック図である。

【図12】バイカワード構成のマスターVCFの位相特性を示す特性図である。

20 【図13】従来例に係るXORゲートを位相比較器として用いた周波数チューニング回路の回路例を示すブロック図である。

【図14】XOR-PDの入出力特性を示す特性図である。

【図15】従来例に係るチャージポンプDLL回路を用いた周波数チューニング回路の構成を示すブロック図である。

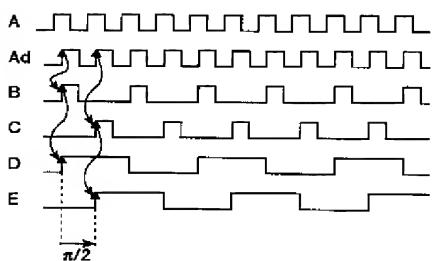
【図16】従来例に係る3値PFDの構成を示すブロック図である。

30 【図17】従来例に係る3値PFDの入出力特性を示す特性図である。

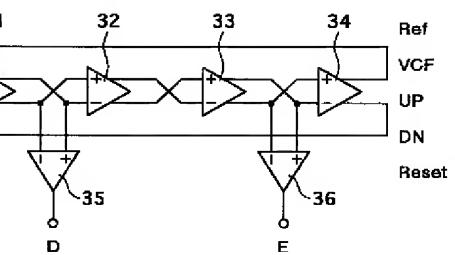
【符号の説明】

1 1…ディジタル移相器、1 2…VCF（アナログ移相器）、1 3…コンパレータ、1 3A, 1 3B…ゼロクロスコンパレータ、1 4…位相比較器（PFD）、1 5…Gm制御信号発生回路（チャージポンプ回路）、1 6 A, 1 6 B…振幅制限回路

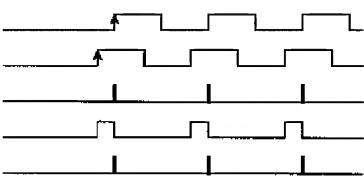
【図3】



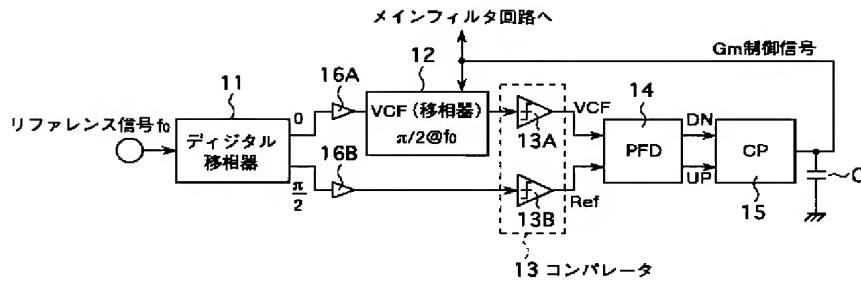
【図4】



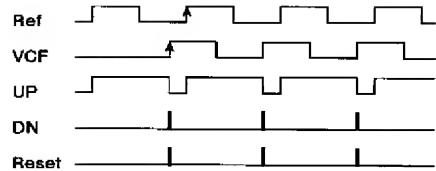
【図5】



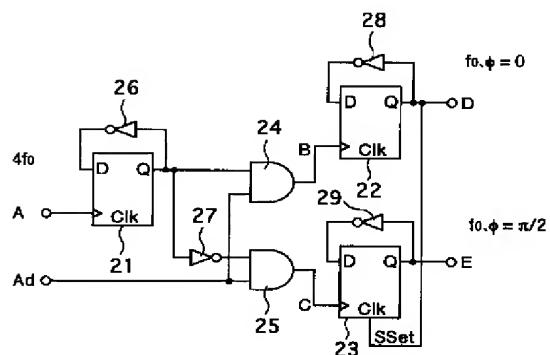
【図1】



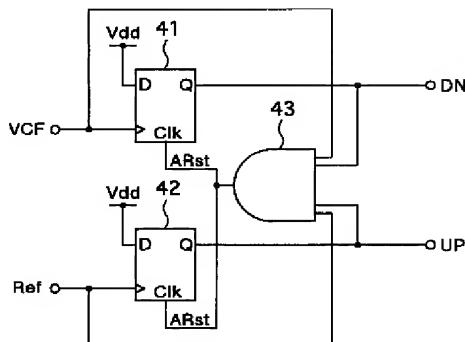
【図6】

13A, 13B ゼロクロスコンパレータ
16A, 16B 振幅制限回路

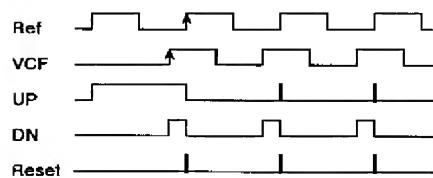
【図2】



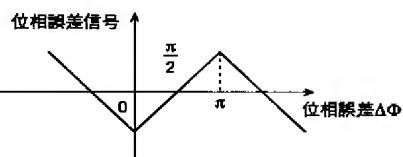
【図7】



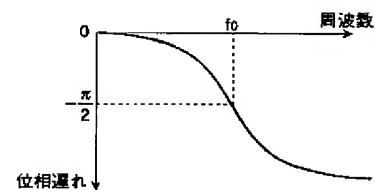
【図8】



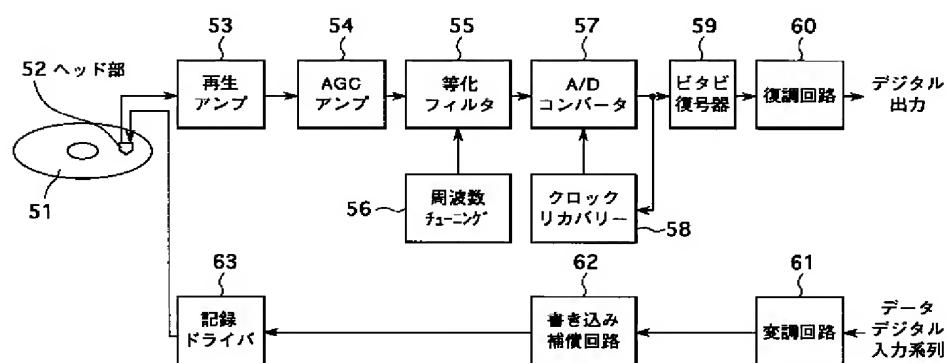
【図14】



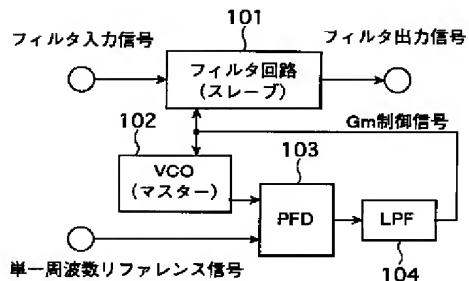
【図12】



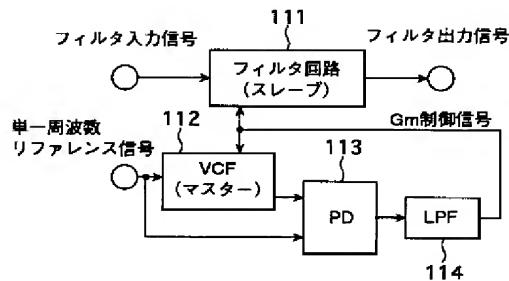
【図9】



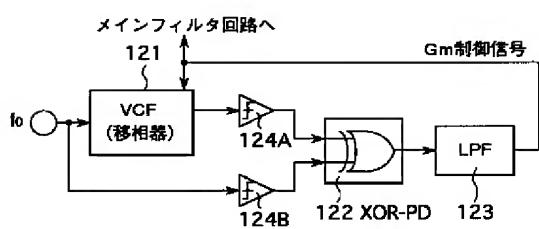
【図10】



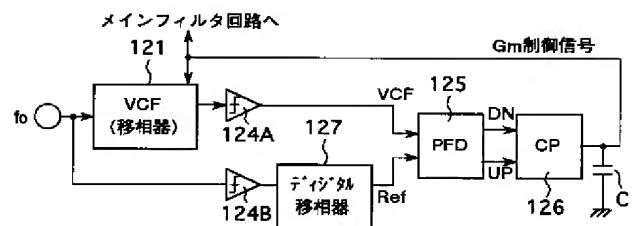
【図11】



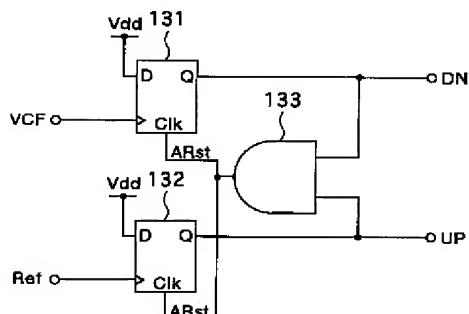
【図13】



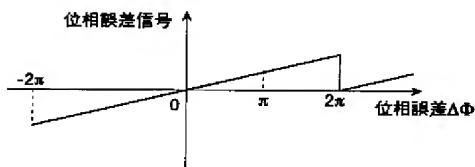
【図15】



【図16】



【図17】



フロントページの続き

F ターム(参考) 5D044 BC01 BC03 CC04 FG01 FG16
 5J098 AB15 AB16 AB32 AC02 AC09
 AC22 AD16 AD18 CA01 CA08
 5J106 AA04 CC27 CC41 CC59 DD06
 DD24 DD32 FF05 GG10 HH02
 KK05

DERWENT-ACC-NO: 2003-563461

DERWENT-WEEK: 200353

COPYRIGHT 2008 DERWENT INFORMATION LTD

TITLE: Analog filter circuit for disk drive,
has digital phase shifter that
outputs clock signals with set phase
difference, based on standard clock
signal

INVENTOR: HASEGAWA Y

PATENT-ASSIGNEE: SONY CORP [SONY]

PRIORITY-DATA: 2001JP-385478 (December 19, 2001)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
JP 2003188683 A	July 4, 2003	JA

APPLICATION-DATA:

PUB-NO	APPL- DESCRIPTOR	APPL-NO	APPL-DATE
JP2003188683A	N/A	2001JP- 385478	December 19, 2001

INT-CL-CURRENT:

TYPE	IPC DATE
CIPP	G11B20/10 20060101
CIPS	H03H11/04 20060101

CIPS

H03L7/081 20060101

ABSTRACTED-PUB-NO: JP 2003188683 A**BASIC-ABSTRACT:**

NOVELTY - A digital phase shifter (11) outputs clock signals with set phase difference, based on standard clock signal. One of the clock signals is input to zero crossing comparator (13B) and other clock signal is input to zero crossing comparator (13A) through voltage controlled filter (VCF) (12). Characteristic frequency of the VCF is controlled, based on output of phase comparator (14) that compares the output of the comparators (13A, 13B).

DESCRIPTION - An INDEPENDENT CLAIM is also included for disk drive.

USE - For disk drive (claimed).

ADVANTAGE - Favorable phase lock precision is acquired and characteristic frequency of the analog phase shifter is set accurately.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of a frequency tuning circuit. (Drawing includes non-English language text).

digital phase shifter (11)

voltage controlled filter (12)

comparators (13A, 13B)

phase comparator (14)

charge pump circuit (15)

CHOSEN-DRAWING: Dwg.1/17

TITLE-TERMS: ANALOGUE FILTER CIRCUIT DISC DRIVE
DIGITAL PHASE SHIFT OUTPUT CLOCK
SIGNAL SET DIFFER BASED STANDARD

DERWENT-CLASS: T03 U23 U25

EPI-CODES: T03-P01; U23-D01A; U25-E01;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: 2003-448104